

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開

昭59—17655

⑪ Int. Cl.³
G 06 F 13/04
9/06

識別記号

庁内整理番号
7361—5B
D 7218—5B

⑬ 公開 昭和59年(1984)1月28日

発明の数 2
審査請求 未請求

(全 16 頁)

⑭ コンピュータプログラム保護方法及び装置

⑮ 特 願 昭58—101578

⑯ 出 願 昭58(1983)6月7日

優先権主張 ⑰ 1982年6月7日 ⑱ 米国(US)
⑲ 385480

⑳ 発 明 者 ハバ・エル・トス
アメリカ合衆国カリフォルニア
州サンノゼ・ドライ・クリーク
・コート2258

㉑ 発 明 者 アーバッド・ポール・トス
アメリカ合衆国カリフォルニア
州サンノゼ・ドライ・クリーク
・コート2258

㉒ 出 願 人 フォーチュン・システムス・コ
ーポレーション
アメリカ合衆国カリフォルニア
州サン・カルロス・インダスト
リアル・ロード1501

㉓ 代 理 人 弁理士 湯浅恭三 外4名

明細書の抄写(内容に変更なし)
明 細 書

1. [発 明 の 名 称]

コンピュータプログラム保護方法及び装置

2. [特許請求の範囲]

(1) ディスクからディスク装置にコンピュータプログラムを受け取るように構成されたコンピュータシステムにおいて、

前記ディスクがシステムでの使用認定を受けているかどうか検査されるべきであることを表示するプログラム保護信号を与えるための検出装置と;

システム識別子をストアするシステム識別子レジスタと、前記ディスクの所定フィールドからディスク認定データを読み出す手段と、前記ディスク認定データを前記システム識別子と比較してそれらが同じであるときに認定信号を与える比較手段とを有し、前記プログラム保護信号にตอบสนองして前記ディスクの検査を行う認定装置と;

を具備するプログラム保護装置。

(2) 前記認定装置に、

(1)

前記ディスクがマスターであるときにマスター信号を発生するマスター検出手段と、

バージョン識別子を与える手段と、

前記マスター信号にตอบสนองして前記ディスクの所定フィールドからディスクデータを読み出させる手段と、

前記ディスクデータを前記バージョン識別子と比較してそれらが同じであるときにバージョン信号を与える比較装置と、

を備える特許請求の範囲第1項に記載のプログラム保護装置。

(3) 前記バージョン信号にตอบสนองして前記システム識別子を前記ディスクの前記所定フィールドに書き込み、これにより前記ディスクをノン・バージョンマスターにせしめる手段を備える特許請求の範囲第1項に記載のプログラム保護装置。

(4) 前記バージョン信号にตอบสนองして前記システム識別子を発生する発生手段と、前記システム識別子を前記システム識別子レジスタにストアする手段とをさらに具備する特許請求の範囲第3項に記載

(2)

のプログラム保護装置。

(5) 前記発生装置は、前記ディスクユニットがシステムによつてアドレスされるのに使用されるアドレスの関数として前記システム識別子を発生するプログラム可能アレーロジックを有する特許請求の範囲第4項に記載のプログラム保護装置。

(6) 前記マスターディスクは、タイミングインジケータと該タイミングインジケータから角度変位をもつて配置されたマスターインジケータとを設けたタイミングトラックを有し；前記マスター検出器は前記タイミングインジケータに対する前記マスターインジケータの角度変位を検出する手段と、前記角度変位がマスターディスクに対する変位と一致するかどうかを決定する手段とを有する；特許請求の範囲第5項に記載のプログラム保護装置。

(7) 前記プログラム保護信号に回答して初期化信号を与え、これにより前記認定信号が発生されるまでは通常の情報読出しおよび書き込みに対する前記ディスク装置の動作を禁止化する手段をさらに

(3)

をさらに具備する特許請求の範囲第2項に記載のプログラム保護装置。

(10) 前記プログラム認定メモリは電源がオフ・オンになつても前記プログラム認定識別子の状態を保持する非揮発性メモリである特許請求の範囲第9項に記載のプログラム保護装置。

(11) 前記検出手段は前記ネームにより前記プログラム認定メモリをアドレスしてそのプログラムネームに対応したプログラム認定識別子を得る手段を含む特許請求の範囲第9項に記載のプログラム保護装置。

(12) フレックスディスクからコンピュータプログラムを受け取るように構成されたコンピュータシステムにおいて、

ディスクが新たにシステムに装着されたことを検出するディスク検出装置と、

装着されたディスクがマスターディスクであるか否かについて検査を開始させる初期化信号を発生する装置と、

前記ディスクに対してタイミングトラックを

(5)

具備する特許請求の範囲第1項に記載のプログラム保護装置。

(8) システムに対して認定を受けているプログラムを識別するためのプログラム認定識別子をストアするプログラム認定メモリと、

前記ディスク上の各プログラムのネームを読み出す手段と、

前記ネームに回答し、前記ディスク上の前記プログラムが前記プログラム認定メモリに認定識別子をもつか否かを決定する手段と、

をさらに具備する特許請求の範囲第1項に記載のプログラム保護装置。

(9) システムに対して認定を受けているプログラムを識別するためのプログラム認定識別子をストアするプログラム認定メモリと、

前記ディスク上の各プログラムのネームを読み出す手段と、

前記ネームに回答し、前記ディスク上の前記プログラムが前記プログラム認定メモリに認定識別子をもつか否かを決定する手段と、

(4)

検出し、前記ディスクがマスターディスクであるときはマスターディスクインジケータの存在を検出してマスター信号を与える手段と、

システムに新たに装着されたマスターディスクがバージョンであるか否かを決定するため前記マスターディスクを検査する手段と、

バージョンマスターディスクにシステム識別子をストアする手段と、

新たに装着されたディスクにストアされるシステム識別子を検査し、前記ディスクが前記システム識別子をストアしているときは認定信号を与えて前記ディスクが通常にアクセスされるようにする手段と、

を具備するプログラム保護装置。

3. [発明の詳細な説明]

発明の背景

本発明はデジタルコンピュータの分野に関し、特にこの種のコンピュータの一部をなすプログラム保護方法及び装置に関する。

プログラム保護は、コンピュータソフトウェア

(6)

が特定のコンピュータシステムに使用されるべく認定を受けていることを保証するためのものである。

コンピュータシステムがコンピュータプログラムを受け入れる前に、プログラム保護方法を通して、そのプログラムが認定を受けていることを保証する検査をシステムに行わせることが望ましい。本出願における用語の“プログラム保護”とは、正式な認定を受けたコンピュータソフトウェアだけが確実にコンピュータシステムに受け入れられ利用されるようにする方法および装置を意味する。

プログラム保護の必要性は多くの理由から起きている。一つは、コンピュータシステムに特別な特徴を有して適合するソフトウェアが必要とされるときである。コンピュータプログラムがコンピュータシステムで走れるような特別の適合性をもっていなければ、たとえそのようなソフトウェアを実行しても、望ましくないエラーが発生するであろう。プログラム保護は、コンピュータプログラムがコンピュータシステムで実行可能になる以

(7)

ドウェアに特別な特徴を要するものであつたり、認定を受ける前に特別なコストを要するものであつたりする。

コンピュータ分野の当業者は、上述したこと以外にもデータ処理システムにプログラム保護を必要とする理由があることを認めるであろう。

多くのコンピュータシステムにおいて、コンピュータプログラムは磁気媒体を介してシステムユーザに蓄積され配給される。しばしば、磁気媒体はフレックスディスクであり、小型軽量で移送も容易である。フレックスディスクの使用はコンピュータプログラムのマーケティングにおいて広く行きわたっている。磁気ディスクは容易にコピー再生が可能で、しかも容易に変更可能であるため、これまでプログラム保護が望まれた重要な問題を幾つか提起してきた。

コンピュータソフトウェア、特に磁気ディスクにストアされるソフトウェアを保護するため、これまで種々の方法が提案された。しかし、それらの保護方法は、認定されている使用に対して適当

(8)

前に適当な検査を受けていることを保証する上でも望ましい。

所要の特徴を有し、かつ適当な検査を受けているコンピュータプログラムだけが認定される。

プログラム保護は、コンピュータソフトウェアのマーケティングを容易にするためにも必要である。特定のハードウェアシステムでしか走れないコンピュータプログラムがライセンス契約で販売されることはよくあることである。そのような環境の下では、コンピュータプログラムが特定のコンピュータシステムに対して認定されているか否かを確かめる必要がある。認定されていないコンピュータプログラムがロードされようとした場合には、コンピュータシステムはそのプログラムを拒絶しなければならない。

プログラム保護は、異なるバージョンのコンピュータプログラムを区別するときにも必要である。例えば、更新部分と改良部分を含む新バージョンのプログラムがオリジナルのプログラムと相当異なることがある。そのような新バージョンはハー

(9)

なフレキシビリティを与えないばかりか、認定されていない使用に対して十分な保護をなし得ない。

上述した点に鑑み、本発明はデータ処理システム用の改善されたプログラム保護方法および装置を提供することを目的とする。

発明の要約

本発明はコンピュータシステムにおけるコンピュータプログラム保護方法および装置である。本発明の保護装置には、システムに磁気ディスクが新たに装着されて使用されるときプログラム保護信号を発生するディスクセンサ手段が設けられる。ディスクが新しくシステムに装填される度毎に、そのディスクはシステムでの使用認定を受けているかどうか検査され確かめられる。もし認定を受けていなければ、システムはそのディスクを受け入れない。しかし認定を受けていれば、ディスクは受け入れられて通常に使用される。

本発明の1つの特徴においては、新しく装着されたディスクがマスターディスクであるか否かを決定するマスターディスク検出器が設けられる。

(10)

マスターディスクには、バージョンとノン・バージョンの2つの型式がある。バージョンマスターディスクは、認定されたどのユーザシステムに対しても認定識別子をもたないマスターディスクである。バージョンマスターディスクは、正式に認定されたどのシステムに対しても使用認定を受けられる。マスターディスクがシステムに新たに装着されたとき、そのマスターがバージョンであるかノン・バージョンであるかを決定するテストが行われる。バージョンであれば、システムはそのディスクに認定システム識別子をストアするよう動作する。ひとたび認定システム識別子がストアされると、そのディスクはもはやバージョンでなくなりノン・バージョンマスターになる。しかる後は、そのディスクが認定システムにロードされる度毎に、該システムは検査を行つてそのディスクはシステム内で走れる認定を受けているものであることを確認する。

ディスクがマスターでない場合、そのディスクはシステムで走れる認定を受けているマスターディスクの認定されたコピーであるかもしれない。

(11)

本発明の上記および他の目的、特徴および利点は、添付図面と関連した好適な実施例についての以下の詳細な説明から明らかになる。

詳細な説明

全体のシステム—第1図

第1図において、処理装置(プロセッサ)2は中央ロジックバス(CLB)22を介してメモリ管理ユニット(MMU)6に接続する。中央ロジックバス22は、アドレスバス17、データバス18および制御ライン19を含む。プロセッサ2は、バスユニット5-0から第1レベル割込み信号INITおよび第2レベル割込み信号VIRを受け取る。これらの割込み信号はプログラム保護機構と関連して使用される。

第1図において、複数のバスユニット4, 5-0, …, 5-3が中央ロジックバス22に接続する。典型的には、バスユニット4はランダムアクセスメモリであり、第1図のデータ処理システム用の主記憶装置として機能する。バスユニット5-0乃至5-3は、典型的にはキーボード等の入力/

(13)

ディスクが新たにシステムに装着され、そのディスクがマスターでないことがマスター検出器によつて決定された場合、システムは検査を行つてそのディスクが認定されたコピーであるか否かを決定する。認定されたコピーであるならば、システムはそのディスクをアクセスすることが可能となり通常の情報読出しまたは書き込みを行う。

特定のプログラムが認定を受けているディスク上でアクセスされるべきときは、そのプログラムが当該コンピュータシステムでの使用認定を受けているか否かを検査する。そのプログラムが使用認定を受けており、かつそのディスクも認定を受けているときには、システムはそのディスクとそこにストアされている該プログラムをアクセスすることが許される。

以上要約したように、本発明は、認定を受けていないプログラムとディスクの使用を防止する一方で、認定を受けているプログラムを認定を受けているディスクに対して容易に分配し得るプログラム保護方法および装置を提供するものである。

(12)

出力装置、フレックスディスクおよびハードディスク記憶装置、パラレル入力/出力装置、処理ユニット等を含む。

第1図において、バスユニット5-0は、フレックスディスク装置25と、この装置25を第1図のシステムにインターフェイスさせるための普通の制御回路とを有する。

フレックスディスク装置25とバスユニット5-0は、システムにコンピュータプログラムをロードするために使われる。第1図のシステムは、システム内での使用認定を受けているディスクやプログラムだけを受け入れるように設計されている。

第1図において、ユニット6にはプログラム可能アレーロジック装置88が備えられる。このロジック装置88は、アドレスバス17から各アドレスを受け取るとこれに応答し、所定のアルゴリズムおよび/またはコーディングに従つて、コード化出力をデータバス18上に与える。バス18上の出力はシステム識別子である。このシステム

(14)

識別子はバージョンフレックスディスクの認定データフィールドにストアされ、しかる後にシステムが該ディスクから読み出せるようになってい

ディスク駆動アッセンブリ第2図

第2図には、第1図のフレックスディスク装置25の一部をなすフレックスディスク駆動アッセンブリを概略的に示す。点線で示されたフレックスディスク26は、保護ジャケット27内に入れられている。ディスク26はジャケット27内で移動自在である。ジャケット27とディスク26は一体になつて矢印24の方向で第2図の駆動アッセンブリへ挿入される。この挿入を行うため、ゲート30は支点20の回りで矢印21の方向へ持ち上げられ、ディスク26とジャケット27を押し込みまたは引き出すためのクリアランスを与える。

第2図のディスク駆動アッセンブリには、フレックスディスクがシステムに新しく装荷されたことを検出するための、スイッチ31の形態をした検出装置が設けられる。ゲート30が持ち上げら

(15)

する。ヘッド11は、ヘッド駆動アッセンブリ28により前後に移動する。ヘッド11はジャケット27に設けられた開口の上方に位置し、これによつてディスク26の表面に直接アクセスする。

ジャケット27の所定半径方向位置には、ディスク26用のタイミングトラックを露出させるための孔10が設けられている。第3図を参照すると、タイミングトラックにタイミングインジケータ35が示されており、このインジケータ35は第2図の孔10と対応する半径方向位置にある。インジケータ35は普通孔であるが、他の任意の型式のインジケータも使用可能である。

ジャケット27は2つの部分からなり、第2図において一方の部分はディスク26の上側にあり、他方の部分はディスク26の下側にある。孔10はジャケット27の上側および下側部分を通つて延び、これによりインジケータ35が孔10に重なつたとき、光線がしや断されることなくジャケット27とインジケータ35を通つて全光路を進行する。

(17)

れたとき、スイッチ31はプログラム保護信号PPをライン44上に与える。このPP信号は、ゲート30が開かれたこと、したがつて認定を受けていないディスクがフレックスディスク25に挿入されたかもしれないことを表わす。このプログラム保護信号PPは、挿入されたディスクが認定を受けているか否かを決定する検査を開始させる。

ゲート30が持ち上げられるとき、リンケージ32が運動して部材39はアッセンブリ41の動作を介して上方へ引き上げられる。ゲート30が開くとき、この部材39の上方向運動によりチップ42をディスク26の中央インジケータ16から引つ込ませる。チップ42は部材39に回転可能に係止する。インジケータ16内に係止しているときのチップ42は、モータドライブ29の駆動シャフト15の端にて駆動部材と係合する。モータドライブ29は、軸15とチップ42を介してディスク26をクランプしこれを時計回り方向に駆動する。磁気脱出し/書き込みヘッド11はディスク26にデータを書き込んだり読み出したり

(16)

第2図において、光源34と光検出器33とからなる光学的検出装置が孔10と一直線に並ぶ位置に配置される。検出器33は、ディスク26の任意のインジケータ、例えばタイミングインジケータ35が検出器の光軸8と重なる位置にきたときにこのインジケータを検出する。タイミングマーク35は、1回転毎に1度だけ窓10および軸8と重なり、したがつて1回転毎に1度だけインジケータ検出器33により検出される。タイミングマーク35は、磁気ディスク26に対する書き込みおよび脱出しデータを同期化するよう普通の仕方で使用される。

インジケータ35, 36が同時に開口10に現われることはない。マスターディスクは容易に検出され得ない。そこで1つの実施例では、ディスクジャケット27にそのディスクがマスターであることを表示する切欠き94, 95を設ける。切欠き94は、脱出し専用ディスクを表示するための標準切欠きである。

(18)

マスターディスク—第3図

第3図に示すように、本発明によれば、第2のインジケータ36がインジケータ35と同一半径距離をもつてタイミングトラックに設けられている。図示の例においてインジケータ36は孔である。しかしながら、任意の型式のインジケータが使用可能である。而して、第3図のディスク26が第2図の駆動アッセンブリにロードされたとき、インジケータ35, 36はそれぞれ1回転毎に1度だけ開口10および軸8と重なる位置にくる。

インジケータ検出器33は、インジケータ35, 36の存在を検出するとこれにตอบสนองして出力信号パルスを発生する。

第3図において、インジケータ35に対するインジケータ36の角度変位Dは、検出器33によりインジケータ35に対して検出された信号とインジケータ36に対して検出された信号間の時間変位を決定する。変位"D"は、ディスク26がマスターであることを表示するための所定値に選ばれる。インジケータ36が変位Dとは異なる位

(19)

としてカウンタ45のリセット(R)入力に接続する。カウンタ45は、CLK/X信号によりクロックされてリセットカウント値からフルカウント値までカウントし、次いで自動的にリセットされてカウントを続ける。

カウンタ45の平行出力はコンパレータ47の一方の入力に接続する。コンパレータ47の他方の入力には、レジスタ46からの値が受け取られる。コンパレータ47は、レジスタ46の内容をカウンタ45のカウント値と比較する。レジスタ46のカウント値はインジケータ35に対するインジケータ36の変位"D"を表わすように選ばれる。インジケータ35から得られた信号はカウンタ45をリセットするように働き、カウンタ45は、マスターディスクに対してインジケータ36が検出器33により検出されたときにカウンタ45のカウント値とレジスタ46のカウント値が等しくなるようクロック動作する。

フリップフロップ50はCLK信号によりクロックされてコンパレータ47の出力をストアする。

(21)

置にあるとき、あるいは全然存在しないとき、ディスク26はマスターとしては認められない。

検出器出力—第4図

第4図には、検出器33の出力を表わす波形を示す。 i_1, i_2, i_3, i_4 パルスは、検出器33がインジケータ35を検出したときに発生するパルスを表わす。パルス i_2, i_4, i_6, i_8 は検出器33がインジケータ36を検出したときに発生するパルスを表わす。パルス i_1, i_2 間のタイミング $t(D)$ は、インジケータ35, 36間の角度間隔に正比例する。図示の実施例において、インジケータ36は $1/4$ 回転角内に配置される。すなわち"D"は 90° より小さい。

マスター検出器—第5図

第5図には、光学的検出器33を含むマスター検出器が示される。第4図の波形はライン59上の信号を表わす。検出器33からのライン59はNANDゲート51の一方の入力に接続する。ゲート51の他方の入力にはフリップフロップ50のQ出力に接続される。ゲート51の出力は、RESET信号

(20)

レジスタ46のカウント値とカウンタ45のカウント値間でずれが生じないようにするため、カウンタ45へのクロッキング信号は普通の $1/4$ 割算器により $1/4$ に割算される。このようにして、コンパレータ47がカウンタ45のカウント値とレジスタ46のカウント値間の比較一致を表わす論理"1"出力を発生するとき、その出力はフリップフロップ50にストアされる。

比較一致が検出され、これがフリップフロップ50にクロック入力されると、NANDゲート51が不能化され、これにより検出器33からライン59に与えられたとの検出パルスもカウンタ45をリセットすることがない。フリップフロップ50がそのQ出力に論理"1"をストアしそのQ出力に論理"0"をストアするようクロックされていなければ、Q出力は論理"1"でありNANDゲート51を可能化する。ゲート51が可能化されると、ライン59上のパルスはどれもカウンタ45をリセットする。

コンパレータ47からの比較一致がフリップフ

(22)

ロップ50にストアされているとき、ライン59上のパルスはNANDゲート54により検出されてフリップフロップ55をクロックする。フリップフロップ55は、D入力を論理"1"に接続しており、クロックされるとQ出力に論理"1"をストアする。フリップフロップ55にストアされたこの論理"1"は、ANDゲート49の出力が転移することによりフリップフロップ56に伝送される。ゲート49は検出器33とデコーダ48から入力を受け取る。

デコーダ48は、ディスク26の一回転完了を表わすカウンタ45のカウンタ値を認識するように設定される。カウンタ45がNANDゲート51からのパルス35により零カウンタ値にリセットされると、デコーダ48は、もしリセット状態になければ、ディスク26の1回転完了を表わすカウンタ値まで達して論理"1"をANDゲート49に与える。デコーダ48からのカウンタ値と検出器33からライン59上へのパルスとが同時に存在すると、フリップフロップ55の内容がフリッ

(23)

46にはマスターインジケータ36の位置を表わすカウンタ値がストアされる。マスターインジケータ36が検出器33によつて検出されるべき位置にあり、かつ第4図の i_1 パルスが発生すると、コンパレータ47は条件付けられて論理"1"をフリップフロップ50に与え、これによりフリップフロップ50のQ出力を論理"0"にする。NANDゲート51に論理"0"が与えられると、ライン59上の i_1 パルスはNANDゲート51の出力に影響しなくなる。したがって、カウンタ45は i_1 パルスの働きによつてリセットされることがない。

しかし、 i_1 パルスはフリップフロップ50からの論理"1"と一緒にNANDゲート54に入力され、ゲート54の出力を論理"0"にして論理"1"をフリップフロップ55にクロック入力せしめる。この論理"1"は、カウンタ45がフルサイクルカウンタ値に達して検出器48により検出されるまでフリップフロップ55にストアされる。検出器48からのフルサイクルカウンタは、ディスク26の次の回転においてインジケータ35が検出器33

(25)

ブフロップ56にクロック入力され、論理"1"のMASTER信号がライン58に与えられる。MASTER信号がフリップフロップ56にクロックされると同時に、フリップフロップ55はゲート49からの出力によつてリセットされる。

フリップフロップ56はゲート57からの出力によつてリセットされる。ゲート57は、NANDゲート51が論理"0"出力を与えてカウンタ45をリセットするときゲート49がデコーダ48からの出力の発生したことを表示していない場合に、出力を与える。

第3図のディスク26がマスターディスクである場合、第5図のマスター検出回路の動作は次のようになる。すなわち、ディスク26のインジケータ35から得られる第4図のパルス i_1 によりライン59上に信号が現われ、フリップフロップ50からゲート51への出力は論理"1"になる。これにより、ゲート51の出力は論理"0"になりカウンタ45をリセットする。しかる後カウンタ45はクロックパルスをカウントし続ける。レジスタ

(24)

と重なる位置にきたときに発生する i_1 パルスと協働してフリップフロップ55からの論理"1"をフリップフロップ56にクロック入力せしめる。このとき、ライン58上のMASTER信号はディスク26がマスターであることを信号する。マスターディスク26が第2図の駆動アッセンブリ内にある限り、フリップフロップ56はゲート57によつてリセットされることはない。

ディスク26がマスターディスクでない場合、第5図の回路の動作は次のようになる。すなわち、インジケータ35から i_1 パルスが発生したとき、フリップフロップ50は再びクロックされてそのQ出力に論理"1"を有し、これによりゲート51の出力はカウンタ45をリセットする。インジケータ36が全く存在しないか、または変位"D"とは異なる位置にあるとすれば、コンパレータ47は、出力を与えるとしても、それはライン59上のパルスと一致しない時点でフリップフロップ50に与える。したがって、NANDゲート54はフリップフロップ55のQ出力に"1"をゲートするこ

(26)

とがない。

しかし、第2のタイミングインジケータ36が変位"D"とは異なる位置にある状況下においては、第5図の回路の動作は次のようになる。すなわち、ライン59上の各パルス $1_1, 1_2, 1_3, \dots, 1_n$ は \overline{RESET} 信号がカウンタ45をリセットするようにゲート51を条件付ける。これにより、カウンタ45はフルサイクルカウント値に達しなくなり、デコーダ48はANDゲート49に対する入力を与えない。したがって、ライン60上にCYCLE SYNC信号は現れない。ライン60上の信号は論理"0"であり、NANDゲート51からの各出力と協働してフリップフロップ56をリセットさせライン58上にMASTER信号が現れないようにする。1回転につきCYCLE SYNC信号が現れないとすれば、これは違法なマスターディスクがシステムに装着されていることを示す。

ディスク26が1つのタイミングインジケータ35だけしか有していない場合、第5図の回路の動作は次のようになる。すなわち、 $1_1, 1_2, 1_3, 1_4,$

(27)

ようクロックされるのを防止する。このような状況下において、ライン60上のCYCLE SYNC信号はフリップフロップ55, 56を連続的にリセットする。ライン58上にMASTER信号がないときのライン60上のCYCLE SYNC信号は、ディスク26がマスターの認定されたコピーであることを表示する。

デコーダ48は、ディスク26が1回転したときに存在する増分位置の数を表わすカウント値をもつように設定される。例えば、デコーダ48はカウント値"252"に設定され、カウンタ45は8ビット2進カウンタである。 $\frac{1}{x}$ 計算回路⁵³の値 x は、ディスク26が1回転する度毎に252個のクロックパルスがカウンタ45に供給されるように選ばれる。変位"D"が0°の場合、デコーダ48は"252"にセットされ、レジスタ46はカウント値"42"をストアする。

普通、タイミングインジケータ35, 36のサイズは、カウンタ45の単一カウントによつて表わされる寸法より大きく選ばれる。したがって、イ

(29)

1_1 信号がライン59上に現われる度毎に、ゲート51は条件付けられて \overline{RESET} 信号はカウンタ45をリセットする。 $1_2, 1_4, 1_6, 1_8$ パルスは現われず、かつカウンタ45は1サイクル毎に1度だけしかリセットされないため、検出器33からライン59に信号が与えられると同時にデコーダ48は出力を与える。これにより、ANDゲート49は1サイクル毎に1度条件付けられてライン60上にCYCLE SYNC信号を与える。

カウンタ45のカウント値がレジスタ46のマスターカウント値に一致したとき、フリップフロップ50はクロックされて論理"1"をストアする。しかし、ライン59上に対応パルスがないため、フリップフロップ50がクロックされたときNANDゲート51は可能化されず、またNANDゲート54も可能化されない。而して、マスターインジケータ36に対応するタイミングパルスがライン59上に存在しないときのコンパレータ47の出力は、カウンタ45がリセットされるのを防止するとともに、フリップフロップ55が"1"をストアする

(28)

ンジケータ36の実際の寸法は、インジケータ36がカウンタ45のカウント"41", "42"および"43"によつて表わされる位置に存在するように選ばれる。フリップフロップ50のクロックレートはカウンタ45のクロックレートより x 倍大きいため、フリップフロップ50がマスターインジケータ36を検出し損なうことはない。もちろん、タイミングインジケータ35, 36のサイズ、(デコーダ48によつてデコーディングされた数により表わされる)フルサイクルのカウント数、およびタイミングインジケータ35(レジスタ46の内容)に対するマスターインジケータ36の位置は全て変数であり、ディスク26のクロックレートCLKと角速度の関数として決定される。

認定回路—第6図

第6図に、認定回路の詳細を示す。第6図の認定回路は第1図のバスユニット5-0の一部である。第1図のバスユニット5-0は、フレックスディスク装置25と、この装置25をバス22にインターフェイスさせるのに必要な全ての制御回路とを

(30)

具備する。このような制御回路は標準型であり、多数の従来構成部品を有する。第6図において、バスユニット5-0には、ディスク装置73とデータを転送し合うデータレジスタ72が備えられる。このディスク装置は第2図の駆動アッセンブリを含む。レジスタ72は、バッファ87とマルチプレクサ70, 71を介してディスク26からデータを受け取る。制御シーケンサ65からのロードデータレジスタ(LDDR)信号によつてレジスタ72が可能化されたとき、データがレジスタ72にストアされる。

ディスク26からデータが読み出されまたはストアされる位置は、第6図のアドレスレジスタ69によつて決定される。アドレスレジスタ69は、制御シーケンサ65からのロードアドレスレジスタ(LDAR)信号により可能化されてアドレスをストアする。アドレスレジスタ69にストアされるアドレスは、第1図のCLBバス22の一部をなすCLBAアドレスバス17から得られる。バス17からの上位アドレスビットは、デコーダ66に接

(31)

与えたり取り出したりする。このバス18はマルチプレクサ70に一入力を与える。マルチプレクサ70はマルチプレクサ71に一入力を与える。マルチプレクサ71はデータレジスタ72に一入力を与える。

バス18上のデータはバッファ87からくる。バッファ87はデータレジスタ72からデータ出力を受け取る。マルチプレクサ70は、ディスク装置73内のディスク26から第2データ入力を受け取る。バス18上のデータは、制御シーケンサ65から書き込みWM信号が送られてきたときにマルチプレクサ71とデータレジスタ72に入力される。W信号が送られてこないとき、マルチプレクサ70はディスク装置73からのバス61上のデータを選択する。

バス18上のデータは、システム識別子レジスタ74とプログラム認定レジスタ92にも入力される。レジスタ74は、INITおよびVIR信号を受け取るANDゲート89の出力によつて可能化されたバス18からデータをストアする。レジ

(33)

統し、バスユニット5-0のアドレス空間がアドレスされたことを表示する。バス17からの下位ビットは、マルチプレクサ68の一入力に接続し、アドレスレジスタ69にロードされる。マルチプレクサ68の他方の入力コードアドレス発生器67に接続する。コードアドレス発生器67は、ディスク26上のシステム識別子ファイルド位置およびプログラム名ファイルド位置のアドレスをそれぞれストアする。

アドレス発生器67は、アドレスを連続的に出力する読出し専用メモリ、カウンタその他の装置である。この発生器67は、ORゲート86からリセット信号を受け取つたときにスタートアドレスにリセットする。発生器67は制御シーケンサ65からのA8信号により新たなアドレスにステップする。

マルチプレクサ68は、フリップフロップ82からの初期化(INIT)信号を受け取つたときにコードアドレス発生器67からアドレスを選ぶ。

CLBDバス18は、バスユニット5-0にデータを

(32)

スタ74にストアされたシステム識別子は、マルチプレクサにより選択されて、データレジスタ72にストアされディスク26に書き込まれる。マルチプレクサ71による選択は、フリップフロップ78からバージョンディスク表示信号VIRが送られてきたときに行われる。信号VIRがないとき、マルチプレクサ71はマルチプレクサ70の出力を選択してこれをデータレジスタ72にストアする。テストバージョン信号TEST VIRがフリップフロップ80のQ出力に与えられないとき、レジスタ74からのシステム識別子はマルチプレクサ76により選択されてコンパレータ64の一入力に供給される。TEST VIRが与えられたときは、レジスタ75からのバージョンIDがマルチプレクサ76により選択されてコンパレータ64の一入力に供給される。コンパレータ64の他方の入力には、データレジスタ72の出力が供給される。

コンパレータ64は、TEST VIR信号が与えられたときはデータレジスタ72の内容をレジスタ75からのバージョンIDと比較し、それ以外の

(34)

ときはデータレジスタ72の内容をレジスタ74からのシステム識別子と比較する。比較一致が生じたときコンパレータ64はANDゲート84,85を可能化する出力を発生する。

第6図において、ORゲート86は第2図のゲートセンサ31からライン44を介してPP信号を受け取る。図中、ゲートセンサ31はディスク装置73の一部として概略的に示されている。ORゲート86はシステムクリア信号SYCLRも受け取る。この信号SYCLRは、例えば第1図のシステムに電源が入ったときに与えられる。信号SYCLRは、それ以外でもレジスタや他の記憶装置の状態が変化したときにはいつでも与えられる。ORゲート86が条件付けられてその出力を発生したとき、認定フリップフロップ81はQ出力に"0"を与え \bar{Q} 出力に"1"を与える。

第6図の回路の動作が終了して第2図のアッセンブリに装着されたディスクが認定を受けると、DISC AUTH信号がANDゲート9を可能化する。ディスク26にストアされたプログラムがシ

(35)

レクサ68は発生器67からコードアドレスを選択してこれをアドレスレジスタ69にストアする。INIT信号は制御シーケンサ65にも入力されてシーケンサ65の出力信号を初期化し、これにより第6図の装置による認定検査機能を遂行させる。INIT信号はANDゲート83にも入力される。ANDゲート83は他方の入力に第5図のマスター検出器43からのMASTERラインを受ける。INITを与えるフリップフロップ82によつて認定シーケンスが開始されかつディスク26がMASTERによつて表示されたマスターディスクであるとき、ゲート83は条件付けられてフリップフロップ80のQ出力に論理"1"をクロックする。これにより、フリップフロップ80のQ出力はTEST VIR信号を与える。このTEST VIR信号によりディスク26はバージョンマスターディスクであるかどうかの検査を受ける。TEST VIR信号はANDゲート84を可能化する。ゲート84の他方の入力にはコンパレータ64の出力が供給される。TEST VIR信号によりマルチプレクサ

(37)

システムに対して認定を受けると、レジスタ92の出力はANDゲート91を条件付ける。ゲート91から与えられた出力は、フリップフロップ81を可能化してそのQ出力に論理"1"をストアさせその \bar{Q} 出力に論理"0"をストアさせる。

フリップフロップ81がリセットしたとき、例えば第2図のゲート30が開いてPP信号をライン44に与えたとき、ANDゲート62はフリップフロップ81の \bar{Q} 出力からの論理"1"によつて可能化される。ANDゲート62が可能化された後にバスユニット5-0(第1図参照)がアドレスされたことをデコーダ66が検出すると、フリップフロップ82はクロックされてそのQ出力に論理"1"をストアし、これによりINIT信号を与える。INIT信号が与えられることによつて第6図の回路はディスク26が認定を受けているかどうかを決定する。INIT信号は、割込み信号としてライン38を介して第1図の処理装置2に供給される。

さらに、INIT信号が与えられると、マルチプ

(36)

76はレジスタ75からのバージョンIDをコンパレータ64の一入力に与える。データレジスタ72の内容がバージョンIDと同じであるとき、コンパレータ64の出力はANDゲート84を条件付けてVIR信号をフリップフロップ78のQ出力にストアせしめる。第2図のアッセンブリに装着されたマスターディスクはバージョンであることがVIRによつて表示されると、マルチプレクサ71はレジスタ74からのシステム識別子をディスク26に書き込むよう該識別子をデータレジスタ72にストアせしめる。

システム識別子は、INIT信号がライン38に与えられたときにプロセッサ2に対する割込みの結果としてレジスタ74にロードされている。シーケンサ65からの可能化信号LDDRの作用によつてシステム識別子がデータレジスタ72にストアされたとき、フリップフロップ77はクロックされてTEST VIR信号をストアする。これと同時に、LDDR信号の印加によつてバージョンフリップフロップ78がリセットされる。

(38)

レジスタ72にバージョンIDがストアされると、シーケンサ65からのW信号によつて書き込みサイクルが生じる。バージョンIDはアドレスレジスタ69によつて指定されるアドレスにてディスク26に書き込まれる。

しかる後、VIR信号が与えられていないので、マルチプレクサ71はマルチプレクサ70の出力を選択してこれをデータレジスタ72に入力せしめる。制御シーケンサはRラインにより読出しサイクルを生じさせ、これによりシステム識別子がディスク装置73から読み出されデータレジスタ72にストアされる。

フリップフロップ77がLDDR信号によりクロックされると、そのQ出力はフリップフロップ80をリセットし、これによりTEST VIR信号は生じなくなる。マルチプレクサ76は、レジスタ74からのシステム識別子を、ディスク26から既に読み出されているデータレジスタ72からのシステム識別子と一緒にコンパレータ64の入力に供給する。コンパレータ64が出力を与えると、

(39)

るLDDR信号、データレジスタ72の内容をディスク26に書き込む操作の指令を与えるW信号、ディスク26の内容をデータレジスタ72に読み出す操作の指令を与えるR信号、およびアドレス発生器67を増分させるAS信号等がある。これらのシーケンス信号は、INIT信号が与えられないときには普通の仕方ではデータの読出しおよび書き込みを行うために発生される。しかし、INIT信号が与えられると、制御シーケンサ65はプログラム保護機構を構築するためのシーケンス出力を生成する。これらの信号は、次の表1を参照して詳しく説明される。

(41)

ANDゲート85はフリップフロップ80がリセットされる場合に可能化され、これによりフリップフロップ79はクロックされてディスク認定信号DISC AUTHを与える。DISC AUTH信号はフリップフロップ81をクロックしてAUTH信号を生成させる。このAUTH信号は、フリップフロップ82をリセットしてINIT信号を消すとともにフリップフロップ77, 79をリセットする。INIT信号が消えると、ライン38上の割込みは解除され第6図の回路はディスク26がCLBバス22によつてアクセスされるべき認定を受けたことを表示する。さらに、INIT信号が消えると、マルチプレクサ68はアドレスバス17をレジスタ69に直接接続し、バス18はデータレジスタ72と接続する。

第6図において、制御シーケンサ65は標準型のシーケンスロジック装置であり、普通の仕方では多数のシーケンス信号を与えるよう動作する。それらの信号には、アドレスレジスタ69を可能化するLDA R信号、データレジスタ72を可能化す

(40)

表 1

$$\begin{aligned}
 \text{LDAR} &= (\text{INIT} * \text{T1}) \\
 &\quad + [\text{Load AD Normal}] * \bar{\text{INIT}} \\
 \text{R} &= (\text{TEST VIR} * \text{INIT} * \text{T2}) \\
 &\quad + (\bar{\text{TEST}} \bar{\text{VIR}} * \bar{\text{VIR}} * \text{INIT} * \text{T5}) \\
 &\quad + (\text{VIR} * \text{T6} * \text{INIT}) \\
 &\quad + [\text{Read Normal}] * \bar{\text{INIT}} \\
 \text{W} &= (\text{VIR} * \text{INIT} * \text{LDDR} * \text{T4}) \\
 &\quad + [\text{Write Normal}] * \bar{\text{INIT}} \\
 \text{LDDR} &= (\text{VIR} * \text{INIT} * \text{T3}) \\
 &\quad + (\text{R} * \text{INIT}) * (\text{T2} + \text{T5} + \text{T6}) \\
 &\quad + [\text{Load DA Normal}] * \bar{\text{INIT}} \\
 \text{AS} &= \text{T1} + \text{T2} + \text{T3} + \text{T4} + \text{T5} + \text{T6}
 \end{aligned}$$

表1において、星印記号“*”は論理ANDを表わし、プラス記号“+”は論理ORを表わす。ASを除く各等式の最下行は、初期化信号INITが与えられないときの通常の動作を表わす。その他の行はINITが与えられたときのシーケンサの動作を表わす。

(42)

ディスク認定動作

ゲート30が開き、マスターディスク26が第2図のディスクアッセンブリに装着されたときの第6図の回路の動作を述べる。ゲート30が開くと、PP信号がORゲート86に受け取られてフリップフロップ81をリセットする。第1図のシステムがバスユニット5-0をアドレスしたときフリップフロップ81はANDゲート62を可能化し、デコーダ66はANDゲート62を条件付けてフリップフロップ82にINIT信号を生成させる。INITが与えられると、表1に示されるLDR信号はT₁で初期化してアドレスレジスタにコードアドレス発生器67の内容をロードする。発生器67からのアドレスは、システム識別子がストアされるディスク26のフィールドのアドレスである。INIT信号により割込みが処理装置2に与えられ、処理装置2はシステム識別子を第6図の発生器74にロードせしめる。発生器74は、INITが存在するために可能化されてシステム識別子を受取る。

(43)

ディスク26がバージョンマスターであるとき、レジスタ74からのシステム識別子はデータレジスタ72にロードされる。データレジスタ72はLDDR信号によつてロードされる。このLDDR信号は、表1に示されるように、VIR信号およびINIT信号が共に存在するときにT₃で与えられる。T₃でLDDR信号がシステム識別子をレジスタ72にストアさせたとき、書き込み信号Wが表1に示されるようにT₄で与えられてデータレジスタ72の内容をディスク26に書き込む。T₃でLDDR信号が与えられてレジスタ72にシステム識別子がロードされると、VIR信号はなくなる。この状態下において、R信号がT₅で与えられ、ディスク26から読み出されたシステム識別子をデータレジスタ72にストアする。LDDR信号がT₆で与えられ、ディスク26から読み出されたデータをレジスタ72にストアする。

このときレジスタ74の内容がディスク26から読み出されたレジスタ72のシステム識別子と比較される。エラー条件が存在しなければ、それ

(45)

INIT信号とMASTER信号はゲート83を条件付けてTEST VIR信号を発生させる。TEST VIR信号は表1に示されるINIT信号と協働してT₂でR信号を発生せしめ、レジスタ69によつて指定されるアドレスにてディスク26の内容を読み出す。ディスク26から読み出された情報はマルチプレクサ70,71を介してデータレジスタ72にストアされる。表1に示されるように、INIT信号が存在するときのT₂でのR信号はT₂でLDDR信号を発生せしめ、ディスク26からのデータをデータレジスタ72にストア可能にする。TEST VIR信号によつてマルチプレクサ76は、レジスタ75からのバージョンIDを選択し、次いでこれをレジスタ72内のデータと比較する。レジスタ75からのバージョンIDとレジスタ72の内容が同じであるとき、コンパレータ64は出力信号を発生してフリップフロップ78からVIRを生成させる。レジスタ72,75の内容が同じでないとき、コンパレータ64は出力信号を発生せず、VIR信号は生成されない。

(44)

らは比較一致する答である。ANDゲート85が条件付けられてDISC AUTH信号を与える。この信号はANDゲート91を可能化する。プログラム認定レジスタもセットされたとき、ゲート91が条件付けられてフリップフロップ81からAUTH信号を生成させる。AUTH信号はINIT信号を消滅させ、ディスク26は第1図のシステムの通常のアクセス動作のために準備化される。

ディスクがバージョンではなくてフリップフロップ78からVIRが与えられなかつたとき、レジスタ74のシステム識別子はレジスタ72にロードされることがなくディスク26に書き込まれることもない。

マスターディスクがバージョンでないとき、第6図の回路の動作は次のようになる。すなわち、データレジスタ72の内容がレジスタ75の内容と同じでないことがコンパレータ64により決定されると、VIR信号は与えられない。レジスタ72にデータを置くT₂での読出し動作は、フリップフロップ77をリセットし、次のCLK後に

(46)

TEST VIR信号を消滅させる。VIR信号とTEST VIR信号が存在しないと、マルチプレクサ76がスイッチしてシステム識別子レジスタ74の出力を選択し、これをデータレジスタ72の内容と比較させる。比較一致が生じると、ゲート85が可能化され、フリップフロップ79はクロックされてDISC AUTH信号を与える。当該プログラムも認定を受けているとき、DISC AUTH信号はANDゲート91を条件付けてフリップフロップ81をクロックし、これによりAUTH信号を与えるとともにINIT信号を消す。INIT信号がなくなると、割込み38は解除され、第1図のバスユニット5-0は一般的使用のため利用可能になる。この動作はノン・バージョンのマスターディスクに対して生じる。ノン・バージョンマスターディスクは、第1図のシステムで使用認定を既に受けているマスターディスクである。

ディスク26がマスターディスクでないとき、第6図の回路の動作は次のようになる。すなわち、ディスク26がマスターでないとき、MASTER

(47)

信号も与えられない。而して、INIT信号は与えられたままであり、ライン38上の割込みも解除されない。十分な時間期間が経過してもライン38上の割込みがなくなるとき、処理装置2はその事態を認識してプログラム保護イクセプションを発し、これによりバスユニット5-0に装着されているディスクは認定されているものではないことを表示する。

第1図のシステムにおいて、処理装置2は普通の仕方ではライン38上の割込みを検出するよう動作する。ライン38上に割込みを起こすバスユニット5-0のアドレスは、処理装置2からバス17上に供給されたものである。第1図のプログラム可能アレーロジック装置88は、VIR信号により可能化されるとこれに回答し、データバス18上に出力を与える。この出力は、バスユニット5-0に転送され、前述した仕方ではANDゲート89の出力によりシステム識別子レジスタ74にストアされる。

図示の例において、アレーロジック装置88は

(49)

信号は与えられず、したがってANDゲート83の出力も発生しない。その結果、TEST VIR信号とVIR信号は与えられない。表1のT5における読出し動作は、アドレスレジスタ69によって指定されるアドレスからデータを読み出すことになる。ディスク26のアドレスされた位置から得られたデータはデータレジスタ72にストアされる。ディスク26からのレジスタ72と内容がシステム識別子レジスタ74の内容と同一であるとき、コンパレータ64は出力を発生してANDゲート85を条件付ける。ANDゲート85はフリップフロップ79をクロックしてDISC AUTH信号を生成させる。認定を受けているプログラムに対して、DISC AUTH信号はAUTH信号を与えINIT信号を消す。この状態において、コンパレータ64が論理"1"出力が与えられると、ディスク26は認定を受けているマスターの認定されたコピーである。データレジスタ72,74の内容が同じでないとき、コンパレータ64から出力は発生せず、したがってDISC AUTH信号もAUTH

(48)

単一アドレスシーケンスによりアドレスされる。しかし、装置88から適正な出力が生じる前に装置88をアドレスするための多重シーケンスアドレスが必要になることもある。多重シーケンスアドレスを使用すれば、この保護機構を打破しようとする企てに対して極めて強力な保護が得られる。

プログラム可能アレーロジック装置88はシステム識別子を与える。システム識別子は、ディスク26が認定を受けているものであるか否かを決定するために使われる。バージョンマスターディスクの場合、装置88から与えられたシステム識別子はディスクにストアされてノン・バージョンマスターディスクにせしめ、このディスクおよびその任意のコピーが第1図のシステムで使用されることを認定する。プログラム可能アレーロジック装置88は、バス17上の入力アドレスに対して任意の機能を遂行し、システム識別子を出力バス18に与える。例えば、バス18上の出力はバス17上のアドレスと同一でもよく、この場合システム識別子はプログラム可能アレーロジック装置88

(50)

のアドレスにすぎない。

認定されたプログラム動作

第1図において、非揮発性メモリ90は、バス17によりアドレスされて出力をデータバス18に与えるよう接続される。非揮発性メモリ90は、バス17上のアドレスビットによりアドレス可能でVIR信号の状態に応じてバス18からの情報をストアし、または読出した情報をバス18上へ与える。VIR信号が存在するとき、メモリ90はバス18から情報を受け取りその情報をアドレスされた位置にストアする。VIRが存在しないとき、メモリ90は読出しモードでのみ動作し、出力データをバス18に送る。非揮発性メモリ90は、第1図のシステムの電源がオフになりその後再びオンになったときでも、その記憶情報を保持する。

ディスクに蓄積されたプログラムが第1図のシステムに対して使用認定を受けているか否かが決定されるとき、メモリ90はアドレスされて読み出される。例えば、256種類までのプログラム

(51)

26からのプログラム名(ネーム)である。バージョンマスターディスクに対してデータレジスタ72からプログラム名(ネーム)がアクセスされたときに決定されたプログラムアドレスにて、論理"1"ビットがメモリ90にストアされる。

バージョンマスターディスク(VIRが与えられる)に対しては書き込み(WRITE)動作が終了した後、またはノン・バージョンディスク(VIRが与えられない)に対しては直接、下位のアドレスビットのプログラム名(ネーム)を用いてメモリ90が読み出される。"1"または"0"の単一ビットデータは、バス18のビット9を介して転送され、プログラム認定レジスタ92にストアされてPROG AUTH信号を与える。当該プログラムがシステムに対して正式に認定されているとき、レジスタ92は論理"1"をストアし、既にDISC AUTH信号が第6図のフリップフロップ79により与えられていれば、ANDゲート91を条件付ける。ディスクが認定を受けていなければ、すなわちDISC AUTH信号が与えられていなければ、あるいはプ

(53)

が第1図のシステムに対して使用認定を受けているとき、メモリ90は8ビットフィールドのプログラム名を含む。バス17上の上位アドレスビットは普通の仕方デコーディングされてメモリ90を選択する。下位の8ビットは、ディスク上の可能なプログラム名と対応する。このようにメモリ90は、認定を受けている各プログラムに対する表示を最大限までストアする認定プログラムメモリである。

INIT信号が処理装置2により検出されかつVIR信号が存在しているとき、処理装置2は先ずプログラム可能アレーロジックメモリ88をアドレスしてシステム識別子をアクセスする。前述したように、システム識別子は第6図のレジスタ74にストアされる。次いで、処理装置2はVIR信号をモニタし、VIR信号があれば、適当な時点でメモリ90を更新する。この時点はT6信号の後に起きる。VIR信号が存在していると処理装置2はメモリ90において書き込み(WRITE)動作を実行する。下位のアドレスビットはディスク

(52)

プログラムが認定を受けていなければ、すなわちPROG AUTH信号がレジスタ92から与えられていなければ、ゲート91は条件付けられず、DP AUTH信号は生成されない。

ディスクが認定を受けておらずかつプログラムも認定を受けていなければ、フリップフロップ81が"1"にクロックされてAUTH信号を与えることはない。AUTH信号が与えられないと、フリップフロップ82はリセットされず、INIT信号は残り続け割込み信号としてライン38を介して処理装置2に与えられる。INIT信号が所定時間内に取除かれないとき、処理装置2はプログラム保護イクセプションが起きたことを認識し、通常の読出し、書き込みのためディスク26のアクセスを可能にすることなく次の処理を続ける。

以上好適な実施例を参照して本発明を説明したが、本発明の技術的思想の範囲内で各種の変更、変形が可能であることが当業者には理解されよう。

4.〔図面の簡単な説明〕

第1図は本発明によるデータ処理システムの全

(54)

体図。

第2図は、第1図のシステムの動作中データを
読出し蓄込むため、フレックスディスクを装着し
て駆動するディスクアッセンブリの概略図。

第3図は、マスターディスクに対するタイミン
グインジケータおよび認定インジケータを有する
フレックスディスクの斜視図。

第4図は、第2図のアッセンブリで動作する型
の第3図のマスターディスクに対してインジケー
タ検出器から得られる出力の波形図。

第5図は、第1図のシステムに使用されるマス
ターディスク検出器の回路図および

第6図は、第1図のシステムで認定を受けてい
る磁気ディスクを検出するための認定回路の回路
図である。

- 25.....ディスク装置 26.....ディスク
33.....インジケータ検出器
35.....タイミングインジケータ
36.....マスターディスクインジケータ

(55)

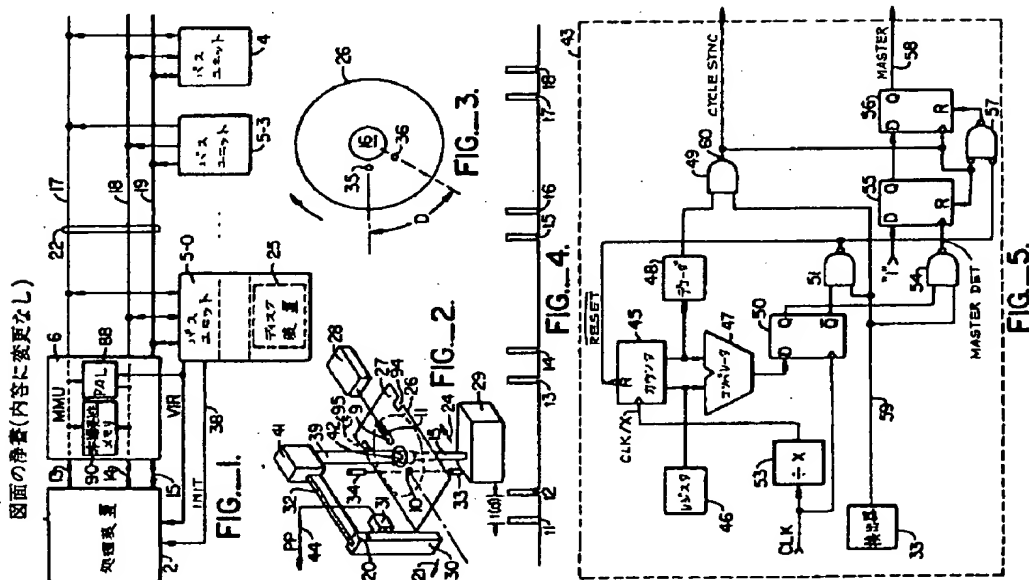
47.64...コンパレータ

88.....プログラム可能アレーロジック装置

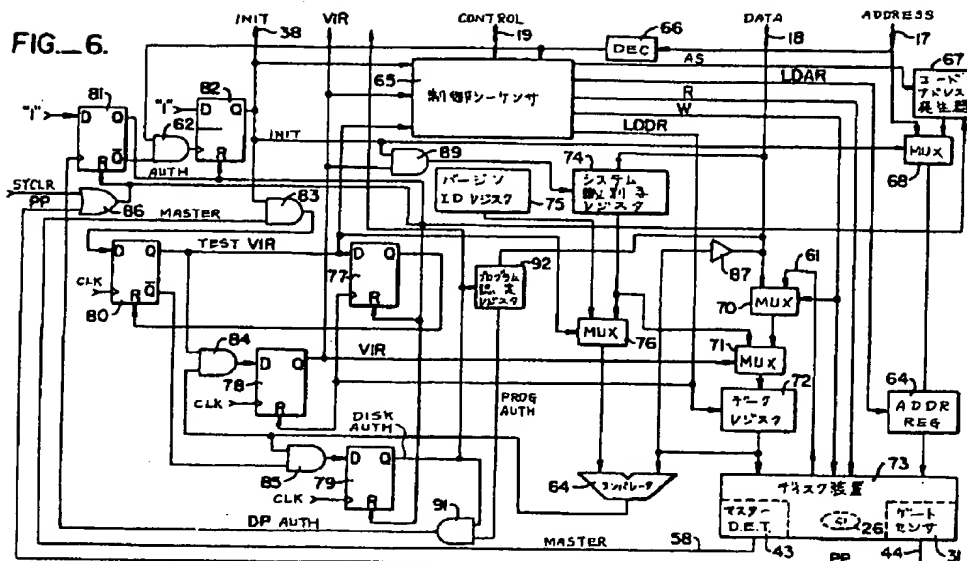
90.....非揮発性メモリ

特許出願人 フォーチュン・システムズ・コーポレーション

代理人 弁理士 湯 浅 恭 三
(外4名)



(56)



手続補正書

昭和58年8月22日

特許庁長官 若杉和夫

1. 事件の表示

昭和58年特許願第 101578 号

2. 発明の名称

コンピュータプログラム保護方法及び装置

3. 補正をする者

事件との関係 特許出願人

住所

名称 フォーテック・システムズ・コーポレーション

4. 代理人

住所 東京都千代田区大手町二丁目2番1号

新大手町ビル206号室(電話 270-6641)

氏名 (2770) 弁理士 湯浅 恭三

5. 補正の対象

委任状及訳文

出願人の代表者名を記載した願書

タイプした明細書

図面

6. 補正の内容

別紙の通り(内、明細書及び図面の内容に付す変更は)



方式 立派 審査